

PMOS SINGLE-POLY NONVOLATILE MEMORY STRUCTURE

Publication number: JP10070203 (A)

Publication date: 1998-03-10

Inventor(s): CHANG SHANG-DE T +

Applicant(s): PROGRAMMABLE MICROELECTRON COR +

Classification:

- international: H01L21/8247; H01L27/115; H01L29/788; H01L29/792;
H01L21/70; H01L27/115; H01L29/66; (IPC1-7): H01L21/8247;
H01L27/115; H01L29/788; H01L29/792

- European: H01L21/8247S; H01L27/115; H01L27/115F4; H01L29/788B4;
H01L29/788B6B

Application number: JP19960310708 19961121

Priority number(s): US19950560249 19951121; US19950577405 19951222;
US19960744699 19961031

Also published as:

JP2951605 (B2)
EP0776049 (A1)
EP0776049 (B1)
DE776049 (T1)
DE69610062 (T2)

more >>

Abstract of JP 10070203 (A)

PROBLEM TO BE SOLVED: To provide a non volatile memory cell which can realize programming and erasing with a lower voltage. SOLUTION: A P-channel single-poly non volatile memory having P<+> source, P<+> drain and a channel extending between these source and drain is formed within an N well 12. A polysilicon floating gate 26 extending on the upper side is isolated from the N well 12 by a thin oxide film. A P-type diffused region 72 is formed in a part of the N well 12 at the lower side of the floating gate and thereby it is capacitively coupled with the floating gate. An N-type diffused region 74 functioning as the control gate of this cell is formed in this P-type diffused region 72.; This P-type diffused region 74 electrically isolates the control gate from the N well 12 so that the voltage exceeding the voltage applied to the N well 12 can be applied to the control gate without generation of a current path to the N well 12 from the control gate.



Data supplied from the *espacenet* database — Worldwide

(51)Int.Cl.⁸

識別記号

FI

H01L 21/8247

H01L 29/78

371

27/115

27/10

434

29/788

29/792

請求項の数17(全 28 頁)

(21)出願番号 特願平8-310708

(22)出願日 平成8年(1996)11月21日

(65)公開番号 特開平10-70203

(43)公開日 平成10年(1998)3月10日

審査請求日 平成9年(1997)7月17日

(31)優先権主張番号 08/560249

(32)優先日 1995年11月21日

(33)優先権主張国 米国(US)

(31)優先権主張番号 08/577405

(32)優先日 1995年12月22日

(33)優先権主張国 米国(US)

(31)優先権主張番号 08/744699

(32)優先日 1996年10月31日

(33)優先権主張国 米国(US)

(73)特許権者 596164700
プログラマブル マイクロエレクトロニクス コーポレーション
PROGRAMMABLE MICRO
ELECTRONICS CORPOR
ATION
アメリカ合衆国, カリフォルニア
95131, サン ノゼ, リダー パー
ク ドライブ 1350

(72)発明者 シャンーデ ティー, チャン
アメリカ合衆国, カリフォルニア
94539, フリモント, サウザーラン
ド ウエイ 43570

(74)代理人 弁理士 小橋 一男 (外1名)

審査官 河合 章

最終頁に続く

(54)【発明の名称】 PMOS単一ポリ非揮発性メモリ構成体

(57)【特許請求の範囲】

【請求項1】 Pチャンネル非揮発性メモリセルにおいて、

Nウェル内に形成したP+ソース及びP+ドレイン、前記ソースと前記ドレインとの間に延在するチャンネル、前記チャンネルの上側に設けたフローティングゲート、前記Nウェル内に形成されており且つ前記フローティングゲートの第一部分の下側に設けられており本セルの制御ゲートとして機能する第一拡散領域、前記Nウェル内に形成されており且つ前記フローティングゲートの第二部分の下側に設けられており本セルの消去ゲートとして機能する第二拡散領域、を有することを特徴とするメモリセル。

【請求項2】 請求項1において、前記メモリセルが前

記ドレインから前記フローティングゲートへの電子のトンネル動作によって及び前記ドレインに近接した前記チャンネルの一部から前記フローティングゲートへのホットエレクトロンの注入によってプログラムされることを特徴とするメモリセル。

【請求項3】 請求項2において、本メモリセルが、約-6.5Vの第一電圧を前記ドレインへ印加し、約10Vを前記制御ゲートへ印加し、前記ソースをフローティング電圧へ結合させ、且つ前記Nウェルを接地させることによってプログラムされることを特徴とするメモリセル。

【請求項4】 請求項1において、本メモリセルが前記フローティングゲートから前記消去ゲートへの電子のトンネル動作によって消去されることを特徴とするメモリセル。

【請求項5】 請求項4において、本メモリセルが、約-6.5Vを前記制御ゲートへ印加し、約8Vを前記消去ゲートへ印加し、且つ前記ソース、前記ドレイン及び前記Nウェルをフローティング電圧へ結合させることによって消去されることを特徴とするメモリセル。

【請求項6】 請求項1において、前記制御ゲートがN型であることを特徴とするメモリセル。

【請求項7】 請求項1において、前記消去ゲートがP型であることを特徴とするメモリセル。

【請求項8】 請求項1において、前記消去ゲートがN型であることを特徴とするメモリセル。

【請求項9】 請求項1において、更に、前記Nウェル内に形成した第三拡散領域が設けられており、前記第三拡散領域は前記消去ゲートの導電型と反対の導電型のものであり、前記消去ゲートが前記第三拡散領域内に形成されており、その際に前記第三拡散領域が前記消去ゲートを前記Nウェルから電気的に分離していることを特徴とするメモリセル。

【請求項10】 請求項9において、前記第三拡散領域がP型であることを特徴とするメモリセル。

【請求項11】 請求項9において、前記第三拡散領域がN型であることを特徴とするメモリセル。

【請求項12】 請求項1において、更に、前記Nウェル内に第三拡散領域が形成されており、前記第三拡散領域は、前記制御ゲートの導電型と反対の導電型のものであり、前記制御ゲートは前記第三拡散領域内に形成されており、その際に前記第三拡散領域が前記制御ゲートを前記Nウェルから電気的に分離していることを特徴とするメモリセル。

【請求項13】 請求項12において、前記第三拡散領域がP型であることを特徴とするメモリセル。

【請求項14】 請求項9において、更に、前記Nウェル内に第四拡散領域が形成されており、前記第四拡散領域は前記制御ゲートの導電型と反対の導電型のものであり、前記制御ゲートは前記第四拡散領域内に形成されており、その際に前記第四拡散領域は前記制御ゲートを前記Nウェルから電気的に分離していることを特徴とするメモリセル。

【請求項15】 請求項14において、前記第四拡散領域がP型であることを特徴とするメモリセル。

【請求項16】 請求項14において、前記第三拡散領域がN型であることを特徴とするメモリセル。

【請求項17】 請求項14において、前記第三拡散領域がP型であることを特徴とするメモリセル。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、大略、メモリセルに関するものであって、更に詳細には、Pチャンネル単一ポリメモリセルに関するものである。

【0002】

【従来の技術】 標準的な論理プロセスへメモリセルを組み込む場合に、論理回路を製造する場合に典型的に使用される単一ポリプロセスを変更することなしにそのことを行なうことが望ましい。このような願望の結果、P型基板内に形成したN+ソース領域及びN+ドレイン領域と、P+ソース領域とP+ドレイン領域との間に延在するチャンネル領域の上側に存在するポリシリコンゲートとを具備する単一ポリメモリセルが開発された。P型基板内に形成したN型拡散領域は、制御ゲートとして機能し、且つ薄い酸化物層を介してフローティングゲートへ容量的に結合されている。該酸化物層は、N+ドレインに近いその一部内に開口させた電子のトンネル動作を容易とさせるためのトンネル窓を有している。この単一ポリセルの制御ゲート及びフローティングゲートはより伝統的なスタックゲートメモリセルのものと同様の態様でコンデンサを形成しているので、この単一ポリセルは、二重ポリセルの場合と同様の態様でプログラム（書込）、消去及び読取を行なうことが可能である。即ち、プログラミング即ち書込は、フローティングゲートから基板への電子のトンネル動作によって行なわれ、一方消去は基板/ドレイン領域からフローティングゲートへの電子のトンネル動作によって行なわれる。

【0003】 上述したNチャンネル単一ポリメモリセルは、例えば高々20Vとなる場合のある高いプログラミング電圧及び消去電圧を必要とするという欠点を有している。これらの高いプログラミング電圧及び消去電圧は、このようなメモリセルの寸法を減少させることのできる可能な範囲を制限している。

【0004】

【発明が解決しようとする課題】 本発明は、以上の点に鑑みなされたものであって、上述した如き従来技術の欠点を解消し、改良した半導体メモリ構成体を提供することを目的とする。本発明の別の目的とするところは、従来技術と比較して低い電圧でプログラミング及び消去を行なうことの可能な非揮発性メモリセルを提供することを目的とする。

【0005】

【課題を解決するための手段】 本発明によれば、P+ソース領域とP+ドレイン領域と、それらの間に延在するチャンネルとを具備するPチャンネル単一ポリ非揮発性メモリセルがN型ウェル（Nウェル）内に形成される。チャンネルの上側に薄い酸化物層を設け、且つ、ある実施例においては、Nウェルのかなりの部分にわたって薄い酸化物層を設ける。トンネル用酸化物の上側にポリシリコンフローティングゲートが設けられている。フローティングゲートの下側に位置しNウェルの一部の中にP型拡散領域が形成されており、それは、フローティングゲートと容量的に結合されている。このP型拡散領域内に本セルの制御ゲートとして機能するN型拡散領域が設けられている。このP型拡散領域は制御ゲートをNウェ

ルから電氣的に分離している。制御ゲートからNウェルへの電流経路を形成することなしにNウェルへ印加させるものを越えた電圧を制御ゲートへ印加させることが可能である。

【0006】プログラミング即ち書込は、チャンネルからフローティングゲートへの電子のトンネル動作を発生させるようにソース領域とドレイン領域とをバイアスさせた状態で、制御ゲートを介して十分な電圧をフローティングゲートへ結合させることによって行なうことが可能である。幾つかの実施例においては、フローティングゲートからチャンネル及びソース領域及びドレイン領域への電子のトンネル動作によって消去が行なわれる。更にその他の実施例においては、フローティングゲートの下側に設けられており且つトンネル酸化物層によってフローティングゲートから分離されている付加的なP型拡散領域が本メモリセルの消去ゲートとして機能する。このような実施例においては、メモリセルの消去は、フローティングゲートから消去ゲートへ電子をトンネル動作させることによって行なうことが可能である。

【0007】

【発明の実施の形態】図1乃至4を参照すると、Pチャンネル単一ポリメモリセル10がP型基板14内に設けられたNウェル12内に形成されており且つPチャンネル記憶（格納）トランジスタ16とPチャンネル選択トランジスタ18とを有している。P+拡散領域20は記憶トランジスタ16のソースとして機能し、P+拡散領域22は記憶トランジスタ16のドレイン及び選択トランジスタ18のソースの両方として機能し、且つビット線BLへ結合されているP+拡散領域24は選択トランジスタ24のドレインとして機能する。ポリシリコンゲート26及び28は夫々セル10のフローティングゲート及び選択ゲートとして機能する。

【0008】P型埋込拡散層36はセル10の制御ゲートとして機能する。コンタクト領域38がフローティングゲート26内及びフローティングゲート26と制御ゲート36との間に介在されている酸化物層40内に開口されており、埋込制御ゲート36との電氣的コンタクト（接触）を行なうことを可能としている。好適には80乃至130Åの厚さであるトンネル酸化物層34はチャンネル30の上側に延在することが可能であり、且つソース20及びドレイン22のかなりの部分にわたって延在することが可能である。約80乃至350Åの厚さの酸化物層40がフローティングゲート26とP拡散領域36との間に設けられている。注意すべきことであるが、従来のNチャンネル単一ポリEEPROMセルと異なり、トンネル酸化物層34内にトンネル窓を開くことは必要ではない。制御ゲート36へバイアス電圧を印加すると、記憶トランジスタ16のソース20とドレイン22との間に延在するチャンネル30を向上させ、且つ選択ゲート28へバイアス電圧を印加すると、選択

トランジスタ18のソース22とドレイン24との間に延在するチャンネル32を向上させる。

【0009】フローティングゲート26と制御ゲート36とは従来のNチャンネルEEPROMセルのものと同様の態様でMOSコンデンサを形成している。フローティングゲート26が充電されていない場合には、セル10は約-4.5Vのスレッシュホールド電圧 V_t を有している。

【0010】セル10の動作は以下の如くである。セル10をプログラム即ち書込を行なうためには、ビット線BL及び選択ゲート28を接地し、一方ソース20及びNウェル12を約8Vに保持する。約8.5Vを制御ゲート36へ印加する。P+ソース20からの正に帯電したホールがP+ドレイン22上のより正でない電圧へ吸引され且つチャンネル領域30を介してP+ドレイン22へ向かって加速する。これらのホールはドレイン22近傍の空乏層内の電子と衝突する。結果的に発生する衝突イオン化から発生される高エネルギー電子はフローティングゲート26上の正の電圧によって吸引され（約7.5Vが制御ゲート36、ソース20、チャンネル領域30及びドレイン22を介してそれに対して容量結合されている）且つドレイン空乏層からフローティングゲート26内へ注入される。その結果フローティングゲート22上に得られる負の電荷はチャンネル領域12を空乏状態とさせる。ある実施例においては、記憶トランジスタ16は、そのプログラムされた状態においては、約1Vに等しいスレッシュホールド電圧 V_t を有している。好適実施例においては、電流制限装置（不図示）がビット線BLへ結合され、プログラミング電流が約100μAを超えることを防止し、その際にプログラミング期間中における電力消費を制限する。

【0011】セル10は、選択ゲート26及び制御ゲート36を接地した状態で、約18Vをビット線BL、P+ソース20、Nウェル12へ印加することによって消去される。電子がトンネル動作用酸化物層34の全長を介してフローティングゲートからチャンネル30、ソース20及びドレイン22内へトンネル動作し、その際に記憶トランジスタ16のスレッシュホールド電圧をその通常の消去された状態の値である-4Vへ復帰させる。注意すべきことであるが、電子はフローティングゲート26からトンネル動作し、その際に、ドレイン22上の電圧が約18Vであるかまたはそれを越える場合にのみ、セル10を消去する。

【0012】別の実施例においては、セル10は、選択ゲート26を接地し且つ約-10Vを制御ゲート36へ印加した状態で、約8Vをビット線BL、P+ソース20及びNウェル12へ印加することによって消去することが可能である。前に説明したものと同一の態様でセル10を消去させるこれらの消去電圧の印加は効果的により低い消去電圧を必要とする。

【0013】セル10の読取を行なう場合には、約($V_{cc}-2V$)の読取電圧を制御ゲート36へ印加し且つ V_{cc} をP+ソース20及びNウェル12へ印加する。選択ゲート20を接地する。 V_{cc} より低い電圧をビット線BLを介してP+ドレイン16へ印加する。セル10は、それがプログラムされている場合にのみ、即ちフローティングゲート26内に負の電荷が格納されている場合にのみ、チャンネル電流を導通させる。従って、フローティングゲート26が負に帯電されている場合に読取電流はセル10を介して流れるので、プログラム即ち書込が行なわれているセル10は従来のNチャンネルEEPROMセル

OMセルの特性であった読取擾乱問題をこうむることはない。更に、セル10が消去状態にある場合には、フローティングゲート26上の電圧は常にドレイン22上の電圧よりも低い。このように、セル10は消去状態において読取擾乱問題を発生することはない。

【0014】セル10に対する上述した読取、消去及びプログラミング(書込)バイアス条件に対する許容可能な範囲を以下の表1に与えてある。

【0015】

【表1】

電気的バイアス条件					
モード	ビット線	選択ゲート	ソース	Nウェル	制御ゲート
プログラム	0V	0V	5-15V	5-15V	5-15V
消去 (オプション1)	3-15V	0V	3-15V	3-15V	-3乃至 -15V
消去 (オプション2)	15-22V	0V	15-22V	15-22V	0V
読取	V_{cc} 未満	0V	V_{cc}	V_{cc}	0乃至 V_{cc}

【0016】セル10の上述した動作は、従来のNチャンネル単一ポリ半導体メモリセルを超えた利点を得るためにPMOS特性を利用している。Pチャンネル装置に対する特性ゲート電流はNチャンネル装置のその約50倍である。従って、典型的にフローティングゲートを充電させるために約0.5mAのプログラミング電流を必要とする従来のNMOS EEPROMセルと異なり、セル10は単に数 μA のプログラミング電流を必要とするに過ぎない。従来のNMOS非揮発性メモリセル(例えばEPROM、EEPROM、フラッシュ)のものよりも1桁を超えた大きさの小さなプログラミング電流が必要とされるに過ぎないということは、プログラミング即ち書込期間中の電力消費を減少させることを可能とするばかりか、頁書込、即ち関連するメモリアレイ(不図示)の1行内の複数のセル10に多数の1を同時的に書き込むことを可能とする。

【0017】従来のNMOS非揮発性メモリセルのチャンネルは、電子のトンネル動作を介してのプログラミング及び消去期間中に必要とされるP-ウェル/N+ドレイン接合を横断しての典型的に高い逆バイアス電圧(及びその結果発生する高電界)に耐える十分に長いものでなければならないことが公知である。その結果、破壊的な接合ストレスを発生させることなしにこのような従来の非揮発性セルの寸法を更に減少させることは困難である。然しながら、セル10の動作は、プログラミング及び消去期間中にそのN-ウェル/P+ドレイン接合を横断して高い電圧バイアスを必要とするものでも使用する

ものでもない(表1参照)、セル10のチャンネル長はそうに制限されるものではない。正に、この特徴はセル10を0.18 μm 技術を使用して製造することを可能とし、その際にセル10を従来のNチャンネル単一ポリセルよりもより小型の寸法とさせている。例えば、セル10は0.5 μm 技術を使用した場合に単に約25 μm^2 であるが、従来のNチャンネル単一ポリセルは、典型的に、0.5 μm 技術を使用した場合には160 μm^2 の程度である。更に、消去期間中にこのように高い接合バイアスを取り除くことは、効果的に、より耐久性のあり且つ信頼性のあるメモリセルとさせている。

【0018】NMOSトランジスタのチャンネル長が約0.7 μm 以下になると、電子の移動度が飽和することが知られている。然しながら、PMOS装置においては、ホールの移動度は、チャンネル長が0.7 μm 以下に減少する場合に継続して増加し、且つチャンネル長が更に減少されると電子の移動度と同等となる。従って記憶トランジスタ16及び選択トランジスタ18のチャンネル長を最小とさせることは、効果的に、ホールの移動度を電子の移動度と同等のものとさせ、その際にセル10の読取を行なう速度を増加させることが可能である。更に、注意すべきことであるが、プログラミングされると、セル10は深い空乏状態となる。このことは、より高い読取電流とすることを可能とし、従ってより高速の読取速度とすることを可能とする。

【0019】上に説明し且つ表1に示したように、PMOS単一ポリセル10は、プログラミング即ち書込及び

消去動作のために単に約8.5Vを必要とするに過ぎず、そのことは従来のNMOS単一ポリメモリセルのプログラミング（書込）及び消去を行なうために20V以上の電圧が必要とされていたことと対比され、従って、セル10は標準的な論理プロセスの低電圧動作により容易に適合させることが可能である。

【0020】セル10は、更に、記憶（格納）トランジスタ16を多くの異なるスレッシュホールド電圧 V_t レベルのうちの1つへプログラミング即ち書込むことによって二進データの多数のビットを格納することが可能であり、その場合に、 V_t レベルは、制御ゲート36へ印加される電圧に依存し、従ってそれによって決定される。このようなマルチレベルスレッシュホールド電圧適用例においては、記憶トランジスタ16のスレッシュホールド電圧 V_t を正確に測定することが必要であり、選択トランジスタ18のドレイン24は、図3Bに示したように、高インピーダンス抵抗Rを介して V_{cc} へ結合されると共に電圧検知回路35へ結合される。検知回路35はスレッシュホールド電圧 V_t を正確に決定することを可能とし、従ってセル10内に記憶即ち格納されているマルチレベルデータを正確に決定することを可能とする。

る。

【0021】このようなマルチレベル適用例においては、セル10は、その自然の状態において、約-6Vの V_t を有しており、且つそれが完全に充電された状態においては、約9Vのスレッシュホールド電圧 V_t を有している。プログラミング期間中に制御ゲート36へ印加されるプログラム電圧 V_p として5V乃至15Vの電圧範囲を使用して、記憶トランジスタのスレッシュホールド電圧 V_t は約-1Vと9Vとの間に設定することが可能である。 V_{cc} が約5Vである場合には、スレッシュホールド電圧 V_t を変化させることに応答して発生されるビット線BL電圧の範囲は約1乃至5Vであり、その際に4Vの範囲を発生する。記憶トランジスタ16のスレッシュホールド電圧 V_t は4mVのインクリメント即ち増分毎にプログラムすることが可能であるので、1000個のレベルのプログラミングがセル10の場合に可能である。マルチレベル適用例に対するセル10のプログラミング（書込）、読取及び消去期間中のバイアス条件に対する許容可能な範囲を以下の表2に示してある。

【0022】

【表2】

電気的バイアス条件					
モード	ビット線	選択ゲート	ソース	Nウエル	制御ゲート
プログラム (オプション1)	0V	0V	5-15V	5-15V	所望 V_p 、即ち (5-15V)
プログラム (オプション2)	0V	0V	5-15V	5-15V	所望 V_p へ ラングアップ
消 去 (オプション1)	3-15V	0V	3-15V	3-15V	-3乃至 -15V
消 去 (オプション2)	15-22V	0V	15-22V	15-22V	0V
読 取 (オプション1)	V_{cc} 未満	0V	V_{cc}	V_{cc}	0乃至 V_{cc}
読 取 (オプション2)	V_{cc} へ プレチャージ	0V	0V	V_{cc}	0V

【0023】その他の実施例においては、セル10の構成をより大型のPMOS単一ポリEEPROMセル50内に組込むことが可能である。図5乃至7を参照すると（注意すべきことであるが、線D-Dに沿ってとった断面は図2に示したものと同一であり、従って再度示してはいない）、セル50がNウエル12内に形成されている状態を示してあり、且つそれはセル10のソース側にソース選択トランジスタ52を有している。セル10と50とに共通の構成要素には適宜同一の参照番号を付してある。P+拡散領域54及び20は夫々選択トランジスタ52のソース及びドレインとして機能する。ポリシリコンゲート56は下側に存在するチャンネル領域58

を制御する。セル50のプログラミング（書込）、消去及び読取動作は、セル10に関して上述したものとほぼ同一であり、従ってその詳細な説明は割愛する。プログラミング（書込）、消去及び読取用のバイアス条件に対する許容可能な範囲を以下の表3に示してある。セル10に対してソース選択トランジスタ52を付加させると、ビット毎にプログラム可能であると共にビット毎に消去可能であるEEPROMセル50が得られる。このように、消去の柔軟性が増加される。

【0024】

【表3】

	ビット線	ドレイン 選択ゲート	ソース 選択ゲート	ソース	Nウェル	セル 制御ゲート
プログラム	0V	0V	*	5-15V	5-15V	5-15V
消去 (オプション1)	3-15V	0V	3-15V	3-15V	3-15V	-3乃至 -15V
消去 (オプション2)	15-22V	0V	15-22V	15-22V	15-22V	0V
読取	V_{cc} 未満	0V	0V	V_{cc}	V_{cc}	0乃至 V_{cc}

*0乃至(ソース電圧-1V)

【0025】セル10に関して上述したのと同様の態様で、セル50はマルチレベルスレッシュホールド電圧適用例において使用することが可能である。このような適用例においては、ドレイン選択トランジスタ18のドレイン24は高インピーダンス抵抗R(不図示)を介して V_{cc} へ結合され且つ電圧検知回路(不図示)へ結合される。その検知回路は、スレッシュホールド電圧 V_t を正確に決定することを可能とし、従ってセル50内に格納

されているマルチレベルデータを正確に決定することを可能とする。マルチレベル適用例に対するセル50のプログラミング(書込)、読取及び消去期間中のバイアス条件に対する許容可能な範囲を以下の表4に示してある。

【0026】

【表4】

	ビット線	ドレイン 選択ゲート	ソース 選択ゲート	ソース	Nウェル	セル 制御ゲート
プログラム (オプション1)	V_p	0V	3-15V	3-15V	3-15V	-3乃至 -15V
プログラム (オプション2)	V_p	0V	15-22V	15-22V	15-22V	0V
消去	0V	0V	*	5-15V	5-15V	5-15V
読取 (オプション1)	V_{cc} 未満	0V	0V	V_{cc}	V_{cc}	0乃至 V_{cc}
読取 (オプション2)	V_{cc} へ プレチャージ	0V	0V	0V	V_{cc}	0V

*0乃至(ソース電圧-1V)

【0027】本発明に基づく更に別の実施例においては、図8乃至11に示したように、セル60が、ビット線BLへ直接的に結合している記憶トランジスタ16と、記憶トランジスタ16のソース20へ結合しているソース選択トランジスタ52を有しており、尚セル10、50、60に共通の構成要素には適宜同一の参照番号が付してある。注意すべきことであるが、記憶トランジスタ16のドレイン22は高インピーダンス抵抗Rを介して V_{cc} へ結合させ且つ電圧検知回路35へ結合させて、記憶トランジスタ16のプログラムしたスレッシュ

ホールド電圧 V_t を正確に決定させることを可能とすることが可能である。セル60はセル50よりも寸法が小型のものであり、且つ列消去、即ちセクター消去を行なうことを可能としている。セル60の動作はセル50に関して上述したものと同様である。セル60のプログラミング(書込)、消去及び読取に対する許容可能なバイアス条件範囲は以下の表5に示してある。

【0028】

【表5】

	ビット線	ソース 選択ゲート	ソース	Nウエル	セ ル 制御ゲート
プログラム (オプション1)	0V	0V	5-15V	5-15V	5-15V
プログラム (オプション2)	0V	0V	5-15V	5-15V	0Vから 5-15Vへ ランパアップ
消 去 (オプション1)	3-15V	0V	3-15V	3-15V	-3乃至 -15V
消 去 (オプション2)	15-22V	0V	15-22V	15-22V	0V
読 取	V_{cc} 未満	0V	V_{cc}	V_{cc}	0乃至 V_{cc}

* 0乃至 (ソース電圧-1V)

【0029】セル10に関して上述したものと同一の態様で、セル60はマルチレベルスレッシュホールド電圧適用例において使用することが可能である。マルチレベル適用例に対するセル60のプログラミング (書込)、

読取及び消去期間中のバイアス条件に対する許容可能な範囲を以下の表6に示してある。

【0030】

【表6】

電気的バイアス条件					
モード	ビット線	選択ゲート	ソース	Nウエル	制御ゲート
プログラム (オプション1)	0V	0V	5-15V	5-15V	所望 V_p 、即ち (5-15V)
プログラム (オプション2)	0V	0V	5-15V	5-15V	所望 V_p へ ランパアップ
消 去 (オプション1)	3-15V	0V	3-15V	3-15V	-3乃至 -15V
消 去 (オプション2)	15-22V	0V	15-22V	15-22V	0V
読 取 (オプション1)	V_{cc} 未満	0V	V_{cc}	V_{cc}	0乃至 V_{cc}
読 取 (オプション2)	V_{cc} へ プレチャージ	0V	0V	V_{cc}	0V

【0031】単一ポリトランジスタ16が格納 (記憶) セルとして使用されている上述した実施例は共通の欠点を有している。図2を参照すると、制御ゲート36及びNウエル12によって形成されるP/N接合は、制御ゲート36からNウエル12への大きく且つ不所望の電流の流れを防止するために、逆バイアスされたままでなければならない。従って、制御ゲート36へ印加される電圧は、約0.6Vを超えてNウエル12の電圧を超えるべきではない。その結果、制御ゲート36を介してフローティングゲート26へ結合される電圧はNウエル12へ印加される電圧の大きさによって制限され、その際にトランジスタ16の性能を不必要に制限する。

【0032】本発明の別の実施例によれば、単一ポリ記憶トランジスタ70はそのように制限されることのない

性能が与えられている。次に、図12を参照すると、以下にその動作及び利点について説明する埋込制御ゲート74の構成を除いて、記憶トランジスタ70は全ての点において記憶トランジスタ16と同一であることに注意すべきである。従って、トランジスタ70 (図12) 及びトランジスタ16 (図1-4) に共通な全ての構成要素には適宜同一の参照番号を付してある。

【0033】トランジスタ70はNウエル12内にP型拡散領域72を有している。N型拡散領域74がP型拡散領域72内に形成されている。N型拡散領域74はトランジスタ70に対する制御ゲートとして機能し、一方P型拡散領域72は制御ゲート74とNウエル12との間に電気的な分離を与えている。N型制御ゲート74は、セル10の制御ゲート36 (図1-4に関して上述

した)と同一の態様でコンタクトに対して電気的に結合させることが可能である。制御ゲート74はN型拡散領域であり且つP型拡散領域72内に形成されているので、制御ゲート74上の電圧は、制御ゲート74からNウェル12へ不所望な電流の流れを発生することなしに、Nウェル12の電圧を超えることが可能である。制御ゲート74の電圧に関してこのような制限を解除くことによって、プログラミング即ち書込動作期間中にNウェル12を高い電圧に維持する必要性を解除しており、従って、プログラム即ち書込まれた場合にトランジスタ70が更に深いデプリション即ち空乏状態となることを可能としている。その結果、トランジスタ70はトラン

ジスタ16よりも一層高い読取電流を発生する。

【0034】より高速のアクセス時間とするために、記憶トランジスタ70は上述したメモリセル10、50、60のいずれかにおけるトランジスタ16を置換することが可能である。表7、8、9は、記憶要素としてトランジスタ70を使用する場合(トランジスタ16を使用することと対比して)、セル10、50、60の夫々のプログラミング(書込)、消去及び読取のための許容可能なバイアス条件を示している。

【0035】

【表7】

電気的バイアス条件					
モード	ビット線	選択ゲート	ソース	Nウェル	制御ゲート
プログラム (オプション1)	0V	0V	5-15V	5-15V	5-17V
プログラム (オプション2)	0V	0V	5-15V	5-15V	0Vから 5-17Vの間へ ランプアップ
消 去 (オプション1)	3-15V	0V	3-15V	3-15V	-3乃至 -15V
消 去 (オプション2)	15-22V	0V	15-22V	15-22V	0V
読 取	V_{cc} 未満	0V	V_{cc}	V_{cc}	0乃至 V_{cc}

【0036】

【表8】

	ビット線	ドレイン 選択ゲート	ソース 選択ゲート	ソース	Nウェル	セ ル 制御ゲート
プログラム	0V	0V	*	5-15V	5-15V	5-17V
消 去 (オプション1)	3-15V	0V	3-15V	3-15V	3-15V	-3乃至 -15V
消 去 (オプション2)	15-22V	0V	15-22V	15-22V	15-22V	0V
読 取	V_{cc} 未満	0V	0V	V_{cc}	V_{cc}	0乃至 V_{cc}

*0乃至(ソース電圧-1V)

【0037】

【表9】

	ビット線	ソース 選択ゲート	ソース	Nウエル	セル 制御ゲート
プログラム (オプション1)	0V	0V	5-15V	5-15V	5-17V
プログラム (オプション2)	0V	0V	5-15V	5-15V	0Vから 5-17Vの間へ ランパアップ
消 去 (オプション1)	3-15V	0V	3-15V	3-15V	-3乃至 -15V
消 去 (オプション2)	15-22V	0V	15-22V	15-22V	0V
読 取	V_{cc} 未満	0V	V_{cc}	V_{cc}	0V乃至 V_{cc}

*0乃至(ソース電圧-1V)

【0038】更に、記憶要素としてトランジスタ70を使用するセル10、50、60の実施例は、更に、マルチレベルスレッシュホールド電圧適用例とすることも可能であり、その動作は上述したものと同一である。トランジスタ70を使用するセル10、50、60のプログ

ラミング(書込)、消去及び読取用の許容可能なバイアス条件範囲を夫々以下の表10、11、12に示してある。

【0039】

【表10】

電気的バイアス条件					
モード	ビット線	選択ゲート	ソース	Nウエル	制御ゲート
プログラム (オプション1)	0V	0V	5-15V	5-15V	所望 V_p へ ランパアップ
プログラム (オプション2)	0V	0V	5-15V	5-15V	所望 V_p
消 去 (オプション1)	3-15V	0V	3-15V	3-15V	-3乃至 -15V
消 去 (オプション2)	15-22V	0V	15-22V	15-22V	0V
読 取 (オプション1)	V_{cc} 未満	0V	V_{cc}	V_{cc}	0乃至 V_{cc}
読 取 (オプション2)	V_{cc} へ プレチャージ	0V	0V	V_{cc}	0V

【0040】

【表11】

	ビット線	ドレイン 選択ゲート	ソース 選択ゲート	ソース	Nウエル	セル 制御ゲート
プログラム (オプション1)	V_p	0V	3-15V	3-15V	3-15V	-3乃至 -15V
プログラム (オプション2)	V_p	0V	15-22V	15-22V	15-22V	0V
消 去	0V	0V	*	5-15V	5-15V	5-17V
読 取 (オプション1)	V_{cc} 未満	0V	0V	V_{cc}	V_{cc}	0乃至 V_{cc}
読 取 (オプション2)	V_{cc} へ プレチャージ	0V	0V	0V	V_{cc}	0V

*0乃至(ソース電圧-1V)

【0041】

【表12】

電気的バイアス条件					
モード	ビット線	選択ゲート	ソース	Nウエル	制御ゲート
プログラム (オプション1)	0V	0V	5-15V	5-15V	所望 V_d 即ち (5-17V)
プログラム (オプション2)	0V	0V	5-15V	5-15V	所望 V_p へ ランチャージ
消 去 (オプション1)	3-15V	0V	3-15V	3-15V	-3乃至 -15V
消 去 (オプション2)	15-22V	0V	15-22V	15-22V	0V
読 取 (オプション1)	V_{cc} 未満	0V	V_{cc}	V_{cc}	0乃至 V_{cc}
読 取 (オプション2)	V_{cc} へ プレチャージ	0V	0V	V_{cc}	0V

【0042】 上述した実施例の効果的な動作特性は、Nチャンネル単一ポリ非揮発性メモリセルを製造するために使用する従来のプロセスよりもより簡単なプロセスによってこのような実施例を製造することを可能としている。セル10の製造について、PMOS及びNMOS周辺トランジスタ（これらの周辺トランジスタは、例えば、アドレスデコーダ、電流検知器、選択トランジスタ等として使用することが可能である）を有するより大型のCMOS構成体100について以下に説明する。以下の説明においてはツインウエル構成体においてセル10を製造する場合について説明するが、以下に説明するプロセスは、セル10をNウエル構成体に形成することが可能であるように容易に修正することが可能であることに注意すべきである。更に、以下に説明するプロセスは、単一のウエル又はツインウエル技術のいずれかを使用してセル50、60又は70を製造するために使用することが可能であり、且つ記憶要素としてトランジスタ

70を使用する実施例に対しても同様に適用可能である。

【0043】 次に、図13を参照すると、構成体100は、従来の方法でNウエル104及びPウエル106を形成したP型基板102を有している。Nウエル104及びPウエル106の固有抵抗及び厚さは、その中に形成すべきデバイスの所望の特性に依存する。LOCOSプロセスを使用して後に形成されるトランジスタを互いに電気的に分離させる分離領域を形成する。フィールド酸化膜領域108は約7500Åの厚さであり且つ犠牲酸化物層（不図示）は約240Åの厚さであり、それらは適宜の方法によって基板102の上表面上に形成する。

【0044】 例えばホトレジスト等の適宜の方法（不図示）によって構成体100をマスクする。例えば BF_3 等のP型ドーパントを50keVのエネルギーで且つ1E14イオン数/cm²のドーズでNウエル104内へイ

オン注入してセル10に対する制御ゲートとして機能するP拡散領域36を形成する(図2も参照)。次いで、このマスクを除去する。

【0045】ポリシリコン層をフィールド酸化物領域108及びゲート酸化膜110の上表面上に付着形成し且つ選択的にエッチングして図13に示したパターンを形成する。部分114a及び116aは夫々NMOS周辺トランジスタ114及び116用のゲートとして機能し、一方部分118a及び120aは夫々PMOS周辺トランジスタ118及び120用のゲートとして機能する。部分122は構成体100内に形成したデバイス間の相互接続体として機能することが可能である。部分26はセル10のフローティングゲートとして機能する。

【0046】セル10及び周辺トランジスタ114、116、118、120用のスレッショールド電圧注入及びチャンネルストップ注入のため及びフローティングゲート26をセル10の制御ゲート36から分離させる酸化物層40及びトンネル酸化膜34を形成するために使用する処理ステップは、簡単化のために図面中には図示しておらず本明細書においての説明は割愛する。好適実施例においては、セル10に対するスレッショールド電圧注入としては、砒素を100keVのエネルギーで且つ約 $2E13$ イオン数/ cm^2 のドーズで注入するか又は磷を50keVのエネルギーで且つ $2E13$ イオン数/ cm^2 のドーズで注入する。更に、公知の技術に従ってゲート酸化物層110を構成することも可能である。然しながら、注意すべきことであるが、図3aに関して上述したように、トンネル酸化物層34内にトンネル窓を開くことは必要ではなく、その際にNチャンネル単一ポリEEPROMセルを形成するために使用される従来のプロセスと比較して少なくとも1つのマスキングステップを節約している。注意すべきことであるが、これら記載した処理ステップは、ゲート114、116、118、120、フローティングゲート26及びコンタクト122を形成する前に実施すべきである。

【0047】次に図14を参照すると、PMOSセル10及びPMOSTランジスタ118及び120をマスクする(不図示)。例えば磷等のN型ドーパントを約40keVのエネルギーで且つ約 $3E13$ イオン数/ cm^2 のドーズでPウェル106内へ注入してN型領域114b、115a、116bを形成する。次いで、このマスクを除去する。

【0048】次いでNMOSTランジスタ114及び116をマスクし(不図示)且つ例えば BF_3 等のP型ドーパントを約60keVのエネルギーで且つ約 $7E12$ イオン数/ cm^2 のドーズでNウェル104内へ注入してN領域118b、118c、120b、120cを形成する。次いで、側壁酸化物スペーサ120を従来の方法によって制御ゲート114、116、118、120、層122及びフローティングゲート26の側部上に形成

する。

【0049】PMOSセル10及びPMOS周辺トランジスタ118及び120を再度マスクし、且つ、好適には砒素であるN型ドーパントを80keVのエネルギーで且つ $6E15$ イオン数/ cm^2 のドーズでPウェル106内へ注入して、図13に示したように、N+拡散領域114c、115b、116cを形成する。N-/N+拡散領域114b/114cはNMOSTランジスタ114用のソースとして機能し、N-/N+拡散領域115a/115bはNMOSTランジスタ114用のドレイン及びNMOSTランジスタ116用のソースとして機能し、且つN-/N+拡散領域116b/116cはNMOSTランジスタ116用のドレインとして機能する。次いで、このPMOSマスクを除去する。

【0050】構成体100を再度マスクし且つフローティングゲート26のソース側及びドレイン側の側壁スペーサ124(不図示)をディップ即ち浸漬させ且つ除去する。このことは、爾後のドーピングステップにおいて、セル10のソース領域及びドレイン領域(図3A)が、P-/P+拡散領域118c/118eの軽度ドーピングしたドレイン(LDD)構成と対比して、P+拡散構成のものであることを確保する。このマスクを除去した後に、NMOS周辺トランジスタ114及び116をマスクし且つ好適には BF_3 であるP型注入物を50keVのエネルギーで且つ $2E15$ イオン数/ cm^2 のドーズでNウェル104内へ注入してP+領域118d、118e、120d、120e及びセル10のP+ソース領域20及びP+ドレイン領域22(図3参照)を形成する。P-/P+拡散領域118b/118d及び118c/118eは夫々PMOSTランジスタ118のソース領域及びドレイン領域として機能し、一方P-/P+拡散領域120b/120d及び120c/120eは、夫々、PMOSTランジスタ120のソース領域及びドレイン領域として機能する。

【0051】構成体100のその他の部分は公知の製造技術にしたがって完成することが可能である。

【0052】図13及び14に関して上述したプロセスは、N-チャンネル単一ポリメモリセルを製造する場合に使用される従来のプロセスよりも必要とされるマスキングステップの数はより少ない。セル10のソース領域及びドレイン領域はPMOS周辺トランジスタ118及び120のソース領域及びドレイン領域と同時に形成することが可能であるので、付加的なマスキングステップが節約される。更に、前に説明したように、セル10の動作はそのドレイン/Nウェル接合を横断して高い電圧を必要とすることはないので、Nチャンネル又はPチャンネルの高電圧注入は必要ではなく、それにより更にマスキングステップが除去されることとなる。このように、製造コストを減少させながらセル10を製造することが可能である。

【0053】注意すべきことであるが、上述した製造プロセスは、本発明の実施例に基づいてメモリ要素として単一ポリトランジスタ70を使用するメモリセルを構成するために容易に適応させることが可能である。更に、本発明の特定の実施例について説明したが、当業者にとって明かなように、本発明の範囲を逸脱することなしに変更及び修正を行なうことが可能であり、従って、添付の請求の範囲はこのような変更及び修正の全てを包含すべきものである。特に、上述した本発明の利点を実現しながらバイポーラトランジスタ及びMOSトランジスタの極性を逆にすることも可能である。

【0054】本発明の更に別の実施例によれば、セル10の構成を修正し且つより低い消去電圧とすることを可能とするために付加的な拡散領域を付加することが可能である。セル200及びセル10に共通な構成要素には適宜同一の参照番号を付してある。

【0055】図15乃至20を全体的に参照すると、セル200は、記憶（格納）トランジスタ202と、選択トランジスタ204と、フィールド酸化膜領域OXによって分離されている消去トランジスタ206とを有している。P+拡散領域208は記憶トランジスタ202用のソースとして機能し、P+拡散領域210は記憶トランジスタ202用のドレイン及び選択トランジスタ204用のソースとして機能し、且つP+拡散領域212は選択トランジスタ204のドレインとして機能する（図18参照）。ビット線BLがコンタクト213を介して選択トランジスタ204のドレイン212へ結合している。P+拡散領域214及び216は、夫々、消去トランジスタ206のソース及びドレインとして機能する（図20参照）。コンタクト217は、消去トランジスタ206のドレイン216を消去線ELへ結合させている。ポリシリコン層218は記憶トランジスタ202のフローティングゲートとして機能し、且つポリシリコン層220は選択トランジスタ204及び消去トランジスタ206の両方に対するゲートとして機能する。バイアス電圧をゲート220へ印加すると、選択トランジスタ204のソース210とドレイン212との間に延在しているチャンネル222を向上させ且つ消去トランジスタ206のソース214とドレイン216との間に延在しているチャンネル224を向上させる。

【0056】P型埋込拡散層226は、記憶トランジスタ202の制御ゲートとして機能し、且つその中にP+コンタクト領域228が形成されている（図15及び17参照）。約80乃至350Åの間の厚さである酸化物229が制御ゲート226とフローティングゲート218との間に設けられている。絶縁層230及び酸化物229内の開口は、P+コンタクト領域228を介して埋込制御ゲート226と電気的コンタクト（接触）を形成することを可能としている。トンネル酸化物層234は、好適には、80乃至130Åの間の厚さであり、フ

ローティングゲート218とP型拡散領域215との間に設けられており、それは消去ゲートとして機能して、フローティングゲート218からP型拡散領域215への電子のトンネル動作を容易とさせている。ある実施例においては、トンネル酸化物層234はフローティングゲート218とP+拡散領域214の一部との間に延在しており、フローティングゲート218からP+拡散領域214の一部への電子のトンネル動作を容易とさせている。フローティングゲート218及び制御ゲート226は従来のNチャンネルEEPROMセルの場合と同一の態様でMOSコンデンサを形成している。然しながら、注意すべきことであるが、従来のNチャンネル単一ポリメモリセルと異なり、セル200のトンネル酸化物層234内にはトンネル窓を開口させることは必要ではない。

【0057】セル200はそれがプログラムされていない状態においては、約-4.5Vに等しいスレッショールド電圧 V_t を有している。セル200をプログラム即ち書込を行なうためには、ビット線BL及び選択ゲート220を接地し、一方記憶トランジスタ202のソース208、Nウェル12、及び消去線EL（それは、消去トランジスタ206のドレイン216へ結合されている）を約7Vに保持する。0から約12Vへランプ、即ち所定の勾配で上昇するプログラム電圧がP+コンタクト領域228を介して制御ゲート226へ結合される。制御ゲート226上の結果的に得られる電圧の一部がフローティングゲート218に対して容量的に結合される。好適実施例においては、制御ゲート226の0から12Vへの電圧のランプ動作の結果、約7.5Vがフローティングゲート218に対して結合される。注意すべきことであるが、その様にしてフローティングゲート218へ結合される電圧の精密な大きさは、制御ゲート226とフローティングゲート218との間の結合比に依存する。

【0058】上述した電圧を印加すると、正に帯電されたホールがチャンネル232を横断してソース208からドレイン210へ加速される。これらのホールはドレイン210近傍の空乏領域内の電子と衝突しその際に高エネルギー電子を発生させ、それは正に帯電されているフローティングゲート218へ吸引され、空乏領域からフローティングゲート218内へ注入される。その結果フローティングゲート218上に発生する負の電荷はチャンネル領域232を空乏状態とさせ且つセル200を強制的に深いデブリジョン即ち空乏状態とさせる。このようにプログラム即ち書込が行なわれるとセルは約1Vに等しい V_t を有する。ある実施例においては、電流制限用装置（不図示）がビット線BLへ結合されており、プログラミング電流が約100 μ Aを超えることを防止し、その際にプログラミング即ち書込期間中における電力消費を制限する。

【0059】セル200は、選択ゲート200、ビット線BL及び記憶トランジスタ202のソース208を接地させ、一方約8Vを消去線ELへ印加させ且つ約-8Vを制御ゲート226へ印加させることによって消去される。N-ウエル12は、消去期間中に、約接地電圧か又はフローティング電圧に維持される。この電気的バイアス条件は、電子をフローティングゲート218からトンネル酸化物層234を介して消去ゲート215及びP+拡散領域214の一部の中へトンネル動作させ、その際に記憶トランジスタ202のスレッシュホールド電圧を約-4Vのその通常の消去された状態の値へ復帰させる。注意すべきことであるが、消去動作期間中に、電子はフローティングゲート218から記憶トランジスタ202のチャンネル232、ソース208又はドレイン210内へトンネル動作することはない。

【0060】上述した態様でフローティングゲート218を消去することにより、より低い消去電圧とすることを可能とし、且つセル200がより高い読取電流を取り扱うことを可能とし、その際に以下に説明するように、セル200の寸法を不所望に増加させることなしにより高速で動作させることを可能としている。メモリセルによって実現可能な読取電流の大きさは、チャンネル領域の幅を増加させることによって増加させることが可能であることは公知である。単一ポリメモリセルにおいて、埋込制御ゲートへ印加される電圧とフローティングゲートへ結合される電圧との間の比（即ち結合比）は $C_2 / (C_1 + C_2)$ に等しく、尚 C_1 はチャンネル領域の容量であり且つ C_2 は埋込制御ゲートの容量である。従って、チャンネル領域の幅を増加させ、従ってチャンネル領域の容量を増加させると、結合比を不所望に減少させ、そのことは、十分なプログラム電圧をフローティングゲートへ結合させるためには制御ゲートへより高い電圧を印加させることを必要とする。結合比における減少は表面積従って制御ゲートの容量を増加させることによってオフセットさせることが可能であるが、上述した結合比におけるわずかな増加であっても制御ゲートの表面積を著しく増加させることを必要とし、その際にメモリ

セルの寸法を不所望に増加させることとなる。

【0061】セル200の上述した消去動作はこのトレードオフ（利益衡量）を容易とさせる。チャンネル領域232を接地することにより、チャンネル領域232は最小の容量を有するものとなり、一方消去ゲート215へ印加される正のバイアスは、消去ゲート215が容量 C_3 を有することとなる。バイアス条件が与えられた場合、消去動作期間中のセル200の結合比は $C_2 / (C_2 + C_3)$ である。従って、消去ゲート215の幅を最小とさせることにより、この結合比は消去動作期間中に最大とさせることが可能である。従って、セル200において消去ゲート215を使用することにより、セル200の寸法を不所望に増加させ及び/又はより高い消去電圧を必要とすることなしに、読取速度を増加させることが可能である。

【0062】セル200を読取る場合には、選択ゲート220を接地した状態で、ソース208及びNウエル12を V_{cc} とさせる。制御ゲート226は約 $V_{cc} - 2V$ の電圧に保持し、且つ約 $V_{cc} - 2V$ の読取電圧をビット線BLへ印加させる。セル200は、それがプログラムされている場合にのみ、即ちフローティングゲート218内に負の電荷が格納されている場合にのみ、チャンネル電流を導通させる。従って、フローティングゲート218が負に帯電されている場合にのみ読取電流はセル200を介して流れるので、プログラムされているセル200は従来のNチャンネルEEPROM又はフラッシュセルの特性である読取擾乱問題をこうむることはない。セル200が消去された状態にある場合には、フローティングゲート218上の電圧は常にドレイン210上の電圧よりも低い。このように、セル200は消去された状態にある場合には読取擾乱問題を発生することはない。

【0063】セル200に対する上述した読取、消去及びプログラミング（書込）用のバイアス条件に対する許容可能な範囲を以下の表13に示してある。

【0064】

【表13】

電気的バイアス条件						
モード	ビット線	選択ゲート	ソース	Nウエル	制御ゲート	消去線
プログラム	0V	0V	5-8V	5-8V	0Vから12Vへランプ	5-8V
消 去	0V	0V	0V	3-13V	-3乃至-13V	-3乃至-13V
読 取	V_{cc} 未満	0V	V_{cc}	V_{cc}	0乃至 V_{cc}	フロート又は0V

【0065】注意すべきことであるが、ホットエレクトロン注入によってプログラム即ち書込され且つ電子のト

ンネル動作によって消去されるPチャンネルメモリセル構成体を使用して実現されるセル10に関して上述した

利点は図15乃至20に示した実施例に対しても等しく適用可能である。

【0066】本発明の更に別の実施例によれば、PMOS単一ポリ非揮発性メモセルは、その活性領域の一部において、メモセル用の消去ゲートとして機能する拡散領域を有している。次に、図21、22A及び23を参照すると、P型基板314内に設けられているNウェル312内にPチャンネル単一ポリセル310が形成されており、それはPチャンネル格納（記憶）トランジスタ316及びPチャンネル選択トランジスタ318を有している。以下の説明においては、同一の構成要素に対しては同一の符号を付してある。幾つかの実施例においては、Nウェル312は約700乃至1200 Ω/\square のシート抵抗を有しており、且つP型基板14は約5乃至100 $\Omega\cdot\text{cm}$ の固有抵抗を有している。P+拡散領域320は格納（記憶）トランジスタ316用のソースとして機能し、P+拡散領域322は格納（記憶）トランジスタ316用のドレイン及び選択トランジスタ318用のソースの両方として機能し、且つP+拡散領域324は選択トランジスタ318用のドレインとして機能する。ポリシリコンゲート326及び328は、夫々、セル310のフローティングゲート及び選択ゲートとして機能する。フィールド酸化膜領域329はセル310の活性領域を画定する。

【0067】格納（記憶）トランジスタ316は、Nウェル312内に形成したP型拡散領域330を有しており、その場合に、幾つかの実施例においては、P型拡散領域330は約100乃至500 Ω/\square のシート抵抗を有している。幾つかの実施例においては約100乃至300 Ω/\square のシート抵抗を有するN型拡散領域332はP型拡散領域330内に形成されており且つ格納（記憶）トランジスタ316用の制御ゲートとして機能する。制御ゲート332内に形成したN+コンタクト領域334は、電圧を制御ゲート332へ結合することを可能とする。約70乃至100Åの厚さのトンネル酸化物層（簡単化のために図示していない）がNウェル312とフローティングゲート326との間に設けられている。

【0068】セル310をプログラムするため、即ち格納（記憶）トランジスタ316のフローティングゲート326を充電させるためには、格納（記憶）トランジスタ316のドレイン322へ約-6.5Vを印加した状態で、Nウェル312を約接地電圧に保持する。ソース320をフローティングすることを可能とした状態で、約10Vをコンタクト334を介して制御ゲート332へ供給する。制御ゲート332とフローティングゲート326との間の結合比は約50%である。従って、フローティングゲート326上には約5Vが表われる。フローティングゲート326とドレイン322との間の電圧差がドレイン322からフローティングゲート326への電子のファウラーノルトハイム（Fowler-No

rdheim）トンネル動作を誘発させ、更に、P+ドレイン322に近接したチャンネル領域の一部からフローティングゲート26内への電子のバンド対バンドのトンネル動作によって誘発される注入を発生させ、その際にフローティングゲート326を充電し且つ格納（記憶）トランジスタ316のスレッショールド電圧を増加させる。

【0069】注意すべきことであるが、P型拡散領域330とNウェル312とによって形成されるP/N接合は、拡散領域330が約0.5Vにあるようにプログラミング期間中に順方向バイアスされる。このように、P型拡散領域330はプログラミング動作期間中にNウェル312と制御ゲート332との間に電気的分離を与え、その際に制御ゲート332が約10Vにある間にNウェル312を接地電圧にあることを可能とする。更に、Nウェル312はプログラミング期間中に約接地電圧に保持することが可能であるので、Nウェル312とP+ドレイン322との間の接合は約6.5Vの電圧差を維持することが必要であるに過ぎない。このことは、ドレイン接合に対してウェルを典型的に15V以上を維持することが必要とされる従来の単一ポリメモセルと比較して顕著な点である。Nウェル312とP+ドレイン322との間の接合電圧を最小とすることは、不所望な接合ブレイクダウン条件を発生させる危険性なしに、メモリアレイに関連する論理回路の製造において典型的に使用される単一ポリプロセス内にセル310の製造を容易に組込むことを可能としている。

【0070】セル310は、更に、P型拡散領域340内に形成されているN型拡散領域336を有しており、その場合に、N型拡散領域336はセル310に対する消去ゲートとして機能する。幾つかの実施例においては、消去ゲート336は約100乃至300 Ω/\square のシート抵抗を有しており、且つP型拡散領域340は約100乃至500 Ω/\square のシート抵抗を有している。P型拡散領域340は、以下に説明するように、消去ゲート336をNウェル312から電気的に分離させている。注意すべきことであるが、その他の実施例においては、本発明の技術的範囲を逸脱することなしに、消去ゲート336及び制御ゲート332の導電型を上述したものと反対のものとするのが可能である。約70乃至100Åの厚さのトンネル酸化物層（不図示）がフローティングゲート326と消去ゲート336との間に設けられている。

【0071】格納（記憶）トランジスタ316を消去させるために、コンタクト334を介して約-6.5Vを制御ゲート332へ結合させる。P型拡散領域330及び制御ゲート332によって形成されているP/N接合は順方向バイアスされ、その場合にP型拡散領域330上には約-5.9Vが表われる。約-4.0VがP型拡散領域330及び制御ゲート332からフローティング

ゲート326へ結合される。ソース320はフローティング電圧に保持され且つNウェル312は接地される。約8Vが消去ゲート336へ印加される。これらの電圧条件はフローティングゲート326から消去ゲート336への電子のトンネル動作を容易とさせる。消去期間中に、約0.5VをP型拡散領域340へ結合させ、その際にP型拡散領域340及び消去ゲート336によって形成されているP/N接合を逆バイアスさせる。このように、P型拡散領域340は消去ゲート336をNウェル312から分離し且つ消去ゲート330からそれを横断してNウェル312へ電流が流れることを防止する。

【0072】従って、P型拡散領域340によって与えられる電氣的分離は、不所望な電流が消去ゲート336からNウェル312へ流れることなしに、消去期間中にNウェル312を接地電圧にとどまることを可能としている。従って、消去期間中にNウェル312とP+ドレイン322との間の電圧差を最小とすることによって、セル310は、セル310に対する関連する論理回路を構成する場合に使用されるのと同じ処理の流れを製造することが可能である。従って、セル310及びそれと関連する論理回路は同一のチップ上に容易に製造することが可能であり、その際に時間、費用及びスペースを節約している。

【0073】上述したように、セル310は消去動作用にファウラーノルトハイムトンネル動作を利用しており且つプログラミング即ち書込動作のためにファウラーノルトハイムトンネル動作及びホットエレクトロン注入の

組合わせを利用している。その結果、セル310は比較的低いプログラミング（書込）及び消去電圧（夫々、10V及び8V）を必要とするに過ぎず、従ってプログラミング（書込）動作及び消去動作期間中に殆どパワーを消費することはない。

【0074】セル310は、約0.7Vを選択トランジスタ318のP+ドレイン324（即ち、ビット線）に印加し且つ約3Vを制御ゲート332、P+ソース20及びNウェル12へ印加することによって読取ることが可能である。消去ゲート36はフローティング状態であるか又は約3Vに保持することが可能である。注意すべきことであるが、セル310は、プログラムされている場合にのみ、即ちフローティングゲート326に負の電荷が格納されている場合にのみ、読取電流を導通させる。従って、読取電流は、フローティングゲート326が負に帯電されている場合にのみセル310を介して流れるので、プログラムされているセル10は、例えばフラッシュ及びEEPROM等の従来のNチャンネルメモリセルの特性である読取擾乱問題をこうむることはない。セル310が消去状態にある場合には、フローティングゲート326上の電圧は常にドレイン322上の電圧よりも低い。このように、セル310は消去状態にある場合には読取擾乱問題を発生することはない。以下の表14は、セル310のプログラミング（書込）、消去及び読取に対する電圧条件を要約したものである。

【0075】

【表14】

動作	ソース 320	ドレイン 322	制御ゲート 332	消去ゲート 336	Nウェル 312
プログラム	フロート	-6.5V	10V	0V	0V
消去	フロート	フロート	-6.5V	8V	0V
読取	3V	2V	3V	フロート	3V

【0076】高耐久性適用例においては、セル310の構成が問題となる場合がある。本発明者の懸念するところは、セル310の製造期間中に、窒化物エッチングステップが、フィールド酸化物領域に近接したトンネル酸化物の領域内に半導体業界において「ホワイトリボン」として呼ばれるものを発生する場合がある。これらのホワイトリボンは書込動作及び消去動作を繰返した後にセル310の性能を劣化させる場合がある。従って、セル310が多数回にわたり書込及び消去が行なわれる場合の本発明に基づく幾つかの実施例においては、消去窓を消去ゲート336とフローティングゲート326との間に形成する。

【0077】図24を参照すると、約200Åの厚さの

酸化物層338がフローティングゲート326と消去ゲート336との間に設けられている。従って、約70乃至100Åの厚さの窓部分338aが、図24に示したように、酸化物層338内に形成され、フローティングゲート326から消去ゲート336への電子のトンネル動作を容易とさせている。より厚さの厚い酸化物層338はセル310の製造期間中にホワイトリボンを形成することを防止し、従って、セル310の耐久性及び信頼性を増加させる。

【0078】その他の実施例においては、消去ゲート構成を多少修正することが可能である。図22Bに示したこのような1つの実施例においては、P型拡散領域340を除去することが可能であり、その場合、消去ゲート

336を直接的にNウェル312内に形成する。貴重なシリコンの表面積を節約することになるが、電気的分離用拡散領域340が存在しないことは、消去ゲート336の電圧がNウェル312の電圧と同一となる。従って、図22Bの実施例においてはビットモード及びバイトモードの消去が可能なものではない。何故ならば、Nウェル312内に形成した各セル310の消去ゲート336は必然的に同一の電圧、即ちNウェル312の電圧にあるからである。図22C及び22Dは本発明の更に別の2つの実施例を示している。図22Cにおいては、消去ゲート336aは、N型拡散領域ではなくP型拡散領域である。注意すべきことであるが、この実施例においては、消去ゲート336a及びNウェル312によって形成されるP/N接合は容易に順方向バイアスさせることが可能であり、そのことは、不所望に消去ゲート336aからNウェル312への電流の流れを発生させる。図22Dにおいては、消去ゲート構成体336は全く除去されている。

【0079】読取速度よりも寸法がより顕著であるその他の実施例においては、格納（記憶）トランジスタ31

6のチャンネル幅をその通常の幅である約1乃至5 μ mから最小で約0.3乃至0.7 μ mへ減少させ且つ消去ゲート336を除去することが可能である。このような実施例においては、電子がフローティングゲート326からP+ドレイン322、ソース320及びNウェル312へトンネル動作するというものを除いて、上述した如くにプログラム（書込）、消去及び読取が行なわれる。消去ゲート336の除去と結合してチャンネル幅における減少は、最大でセル寸法を30%減少させることを可能とする。勿論、このセル寸法の減少は読取速度が遅滞化する犠牲において得られるものである。本発明者の知得したところによれば、このようなセル寸法における減少は、読取電流が約50 μ A未満である場合に保証され且つ性能速度に与える影響が最小である。このような寸法を減少させたセルのプログラミング（書込）、消去及び読取用の許容可能な電圧条件は以下の表15に示してある。

【0080】

【表15】

動作	ソース 320	ドレイン 322	制御ゲート 332	Nウェル 312
プログラム	フロート	-6.5V	10V	0V
消去	8V	8V	-6.5V	8V
読取	3V	2V	3V	3V

【0081】注意すべきことであるが、更にその他の実施例においては、消去ゲート336からフローティングゲート326への電子のトンネル動作を容易とさせるために例えば-8V等の負のバイアス電圧を消去ゲート336へ印加させた状態で、例えば0V等の十分に正の電圧を制御ゲート332を介してフローティングゲート326へ結合させることによってセル310をプログラム即ち書込を行なうことが可能である。同様の態様で、幾つかの実施例においては、フローティングゲート326から格納（記憶）トランジスタ316のP+ソース320及びP+ドレイン322近傍のNウェル312の部分へ電子をトンネル動作させることによってセル310を消去させることが可能である。

【0082】セル310は、図25に示したように、メモリアレイ350内に組込むことも可能である。理解すべきことであるが、アレイ350は、図25において、簡単化のために単に2つのビット（即ち列）の2つのワード（即ち行）を有するものとして示されているに過ぎない。実際の実施形態においては、アレイ350は、通常、多数のビットの多数のワードを有するものである。

セル310a-310dの各々は、例えばNウェル312等の共通のNウェル内に形成され、且つ各々はそのP+ソース320を共通のソースノードCSへ結合させる。各選択トランジスタ318のP+ドレイン324はビット線BLのうちの関連する1つへ結合されている。注意すべきことであるが、セル310a-310dは、図25において、制御ゲート326及び消去ゲート336が存在することを例示するために2ゲート表示を使用して図示してある。共通の行における選択ゲート328、即ち選択トランジスタ318のゲートは、消去選択トランジスタ352のゲートへ結合されており、トランジスタ352のソースは消去ゲート電圧EGへ結合されており且つドレインは共通の行におけるセル10の各々の消去ゲート336へ結合している。共通の行におけるセル310の各々の制御ゲート326は制御ゲート選択トランジスタ354のドレインへ結合しており、該トランジスタ354のゲートは制御ゲートビット線電圧CG_Bへ結合しており且つそのソースは制御ゲートワード線電圧CG_Wへ結合している。

【0083】例えばセル310aをプログラム即ち書込

を行なうためには、ビット線 BL_1 を約 $-6.5V$ に保持し、その他の全てのビット線（例えば、 BL_2 ）をフローティング状態とさせ、且つ消去ゲート選択電圧 EG を $0V$ に保持する。選択ゲート電圧 SG_1 を約 $-8.5V$ に保持し、且つ、関連する選択トランジスタ 318 及び関連する消去トランジスタ 352 をターンオンさせる場合に、選択したセル $310a$ のドレイン 322 及び消去ゲート 336 を夫々約 $-6.5V$ 及び $0V$ とさせる。選択されなかったセル 310 （例えば、セル $310b$ ）のドレイン 322 はフローティング状態にある。制御ゲートビット線 CG_B が接地電圧とされて制御ゲート選択トランジスタ 354 をターンオンさせる。セル $310a$

と関連する制御ゲートワード線 CG_W は約 $10V$ とされ、その際に、上述したように、約 $5V$ を選択されたセル $310a$ のフローティングゲート 326 へ結合させる。このように、アレイ 350 のセル 310 はビット毎にプログラム即ち書込を行なうことが可能である。アレイ 350 のセル 310 のプログラミング（書込）、消去及び読取を行なうために電圧条件の要約を以下の表 16 に示してあり、尚 F はフローティング電圧を表わしている。

【0084】

【表16】

モード	セル位置	SG	BL	CG_B	CG_W	EG	ソース	Nウェル
プログラム	選択	-8.5	-6.5	0.5	8	F	F	0
プログラム	非選択 同一行	0.5	-6.5	0.5	F	F	F	0
プログラム	非選択 同一列	-8.5	F	8	8	F	F	0
消去	選択	10	F	-8.5	-6.5	8	F	F
消去	非選択 同一行	0.5	F	-8.5	F	8	F	F
消去	非選択 同一列	10	F	0.5	-6.5	F	F	F
読取	選択	0.5	0.7	0.5	3	F	3	3
読取	非選択 同一行	3	0.7	0.5	3	F	3	3
読取	非選択 同一列	0.5	F	0.5	3	F	3	3

【0085】以上、本発明の具体的実施の態様について詳細に説明したが、本発明は、これら具体例にのみ限定されるべきものではなく、本発明の技術的範囲を逸脱することなしに種々の変形が可能であることは勿論である。

【図面の簡単な説明】

【図1】 本発明に基づくPMOS単一ポリフラッシュセルを示した概略平面図。

【図2】 図1のセルをA-A線に沿ってとった概略断面図。

【図3A】 図1のセルのB-B線に沿ってとった概略断面図。

【図3B】 図1のセルのB-B線に沿ってとった概略断面図。

【図4】 図1のセルのC-C線に沿ってとった概略断面図。

【図5】 本発明に基づくPMOS単一ポリEEPROMセルを示した概略平面図。

【図6】 図5のセルのE-E線に沿ってとった概略断面図。

【図7】 図5のセルのF-F線に沿ってとった概略断面図。

【図8】 本発明の別の実施例に基づくPMOS単一ポリメモリセルを示した概略平面図。

【図9】 図8のセルのG-G線に沿ってとった概略断面図。

【図10】 図8のセルのH-H線に沿ってとった概略断面図。

【図11】 図8のセルのI-I線に沿ってとった概略断面図。

【図12】 本発明の更に別の実施例に基づくメモリセルを示した概略断面図。

【図13】 本発明に基づくPチャンネル単一ポリメモリセルを製造する場合の一段階における状態を示した概略断面図。

【図14】 本発明に基づくPチャンネル単一ポリメモリセルを製造する場合の一段階における状態を示した概略断面図。

【図15】 本発明に基づく消去ゲートを具備するPMOS単一ポリメモリ装置を示した概略平面図。

【図16】 図15の装置のAA-AA線に沿ってとった概略断面図。

【図17】 図15の装置のBB-BB線に沿ってとった概略断面図。

断面图。

【図19】 図15の装置のDD-DD線に沿ってとった概略断面図。

【図24】 本発明の別の実施例に基づくPMOS単一ポリセルの一部を示した概略断面図。

【図20】 図15の装置のEE—EE線に沿ってとった概略断面図。

【図25】 本発明のPMOS単一ポリセルを使用したメモリアレイ構成体を示した概略図。

【図 21】 本発明に基づく PMOS 単一ポリ非揮発性メモリセルの概略平面図。

【符号の説明】

【図22A】 図1のセルのA-A線に沿ってとった概略断面図。

10 Pチャンネル単一ポリメモリセル

【図 22B】 本発明のその他の実施例に基づくセルを示した概略断面図。

12 Nウエル

【図 22C】 本発明のその他の実施例に基づくセルを示した概略断面図。

14 P型基板

【図 22D】 本発明のその他の実施例に基づくセルを示した概略断面図。

16 Pチャンネル格納（記憶）トランジスタ

【図23】 図1のセルのB-B線に沿ってとった概略

18 Pチャンネル選択トランジスタ

20, 22, 24 P+拉散領域

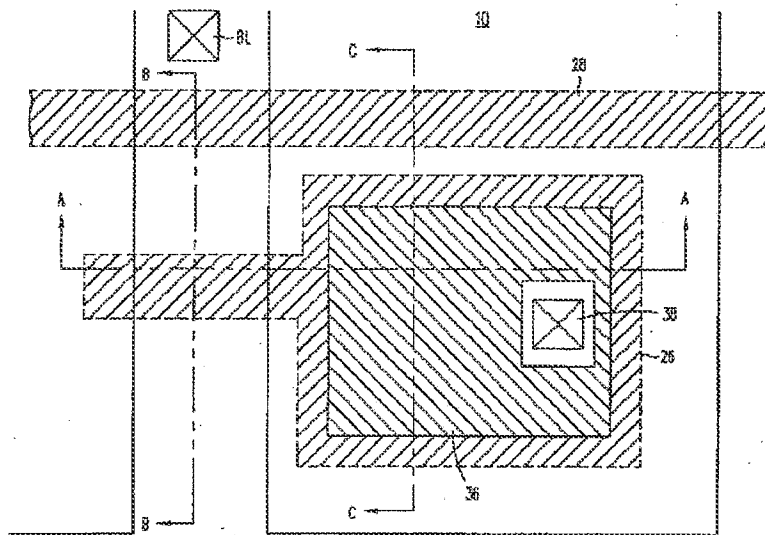
26, 28 ポリシリコンゲート

34 トンネル酸化物層

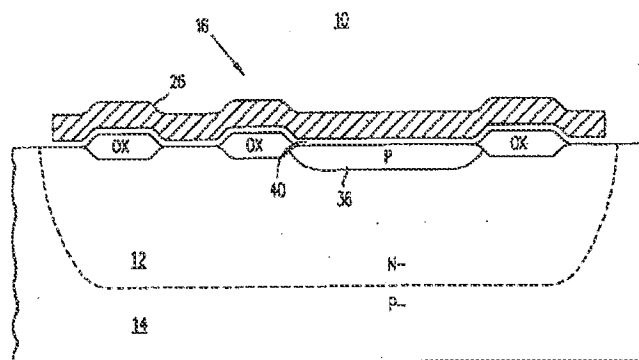
38 コンタクト領域

40 釐化物層

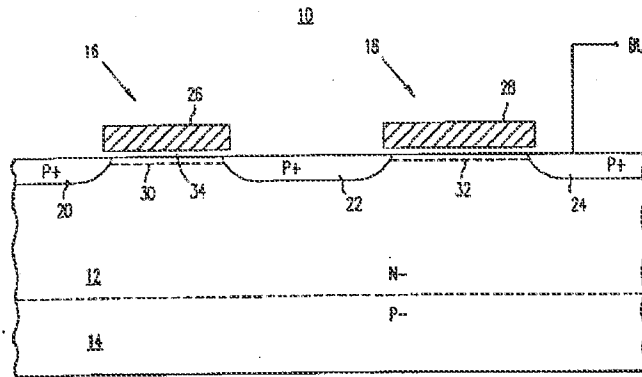
【圖 1】



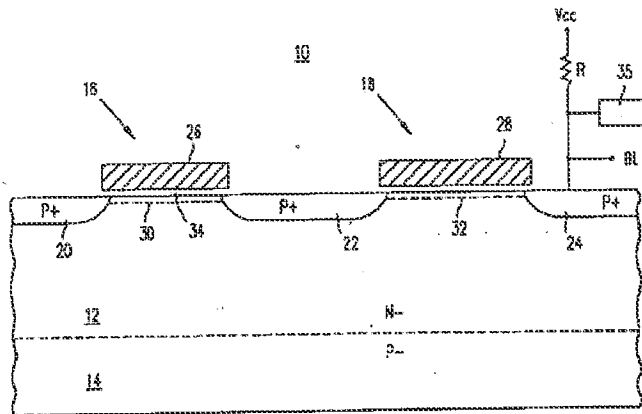
【图 2】



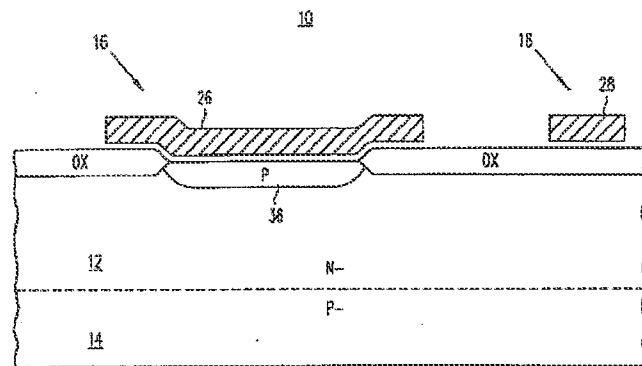
【図 3 A】



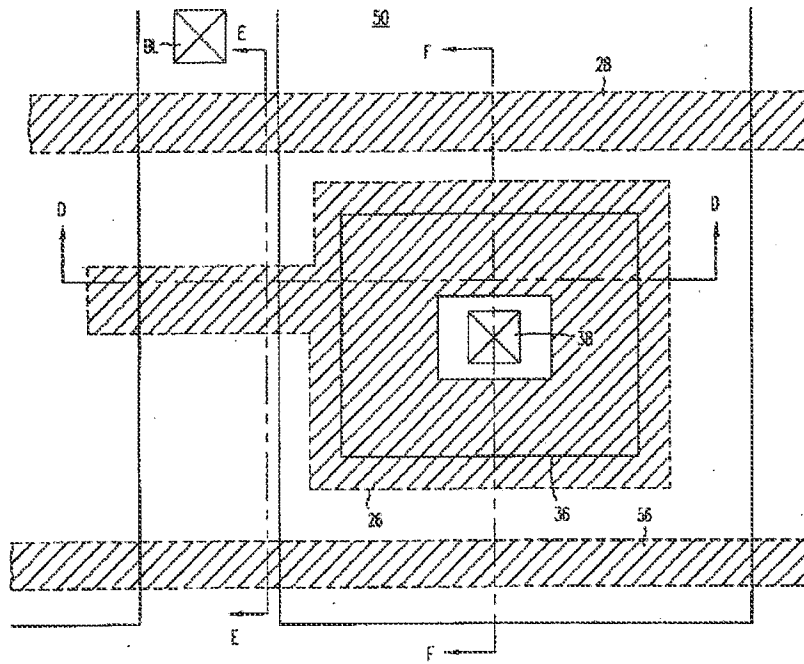
【図 3 B】



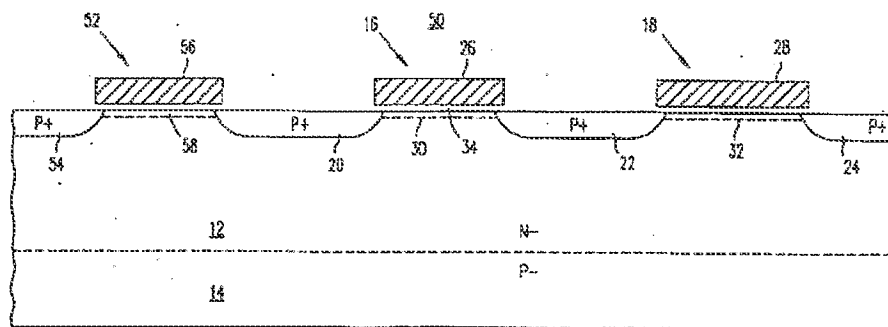
【図 4】



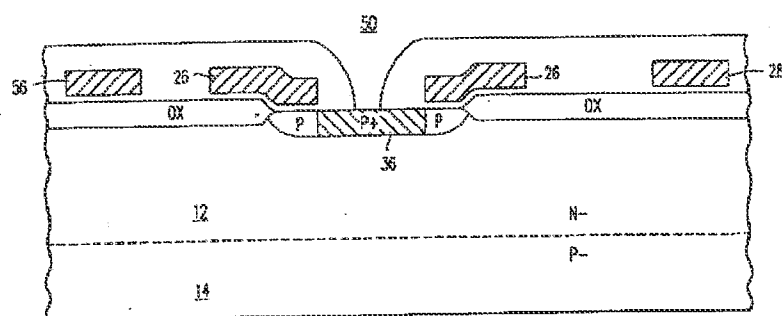
【图 5】



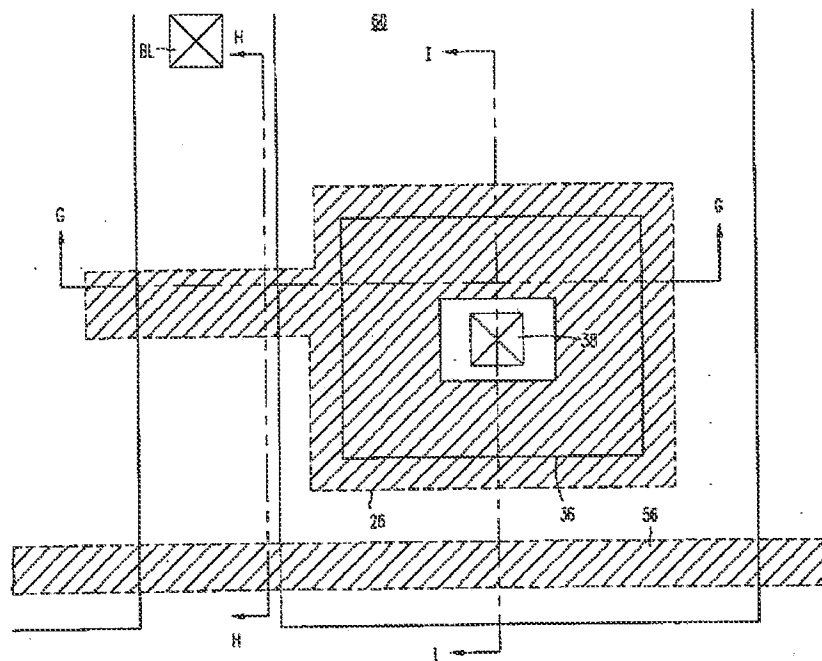
【图 6】



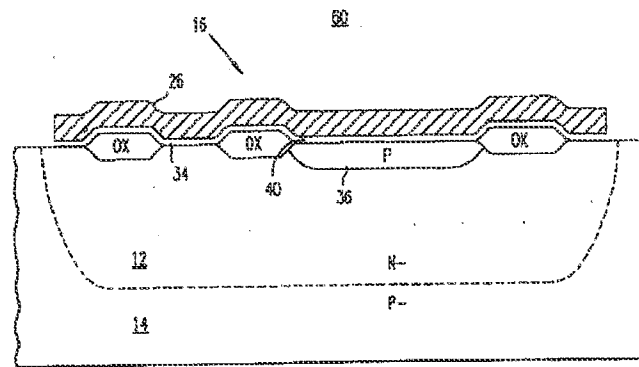
【図 7】



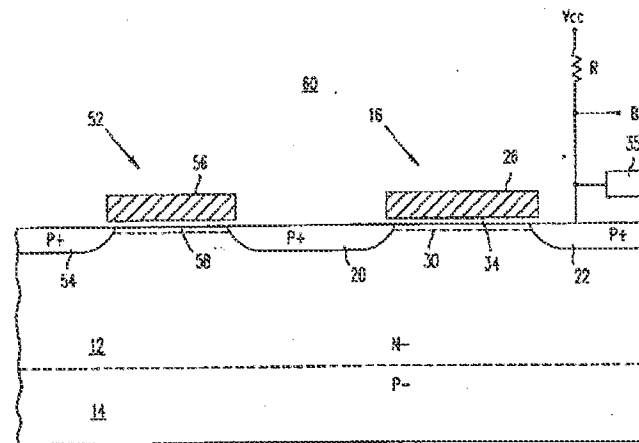
【図 8】



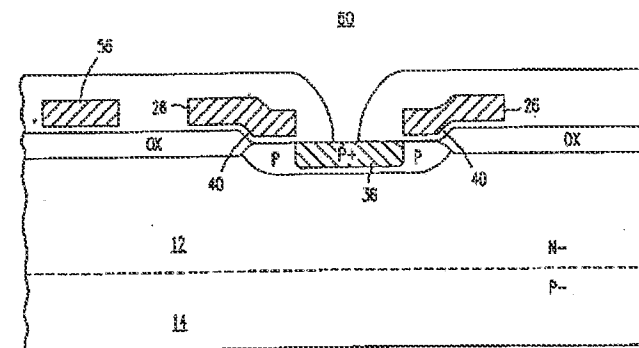
【図 9】



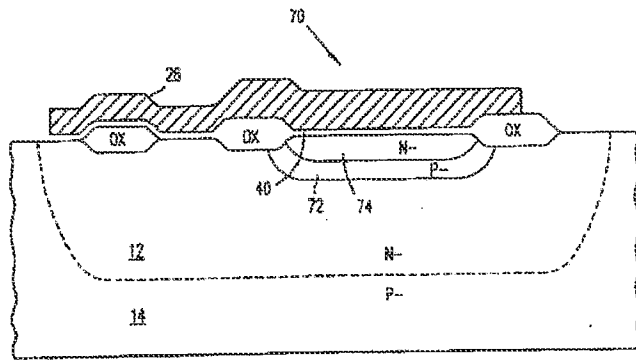
【図 10】



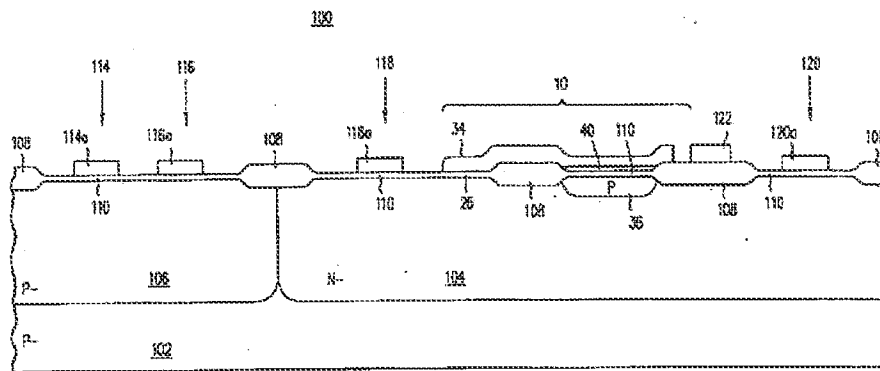
【図 11】



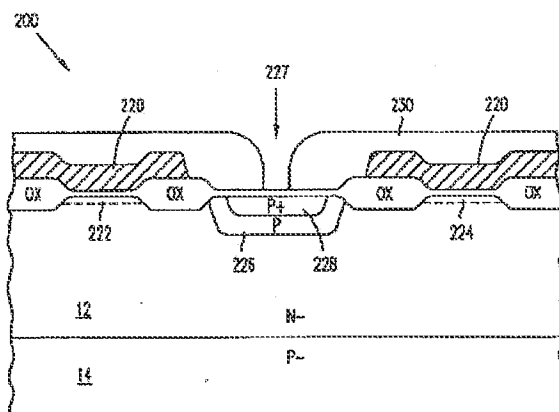
【図 1 2】



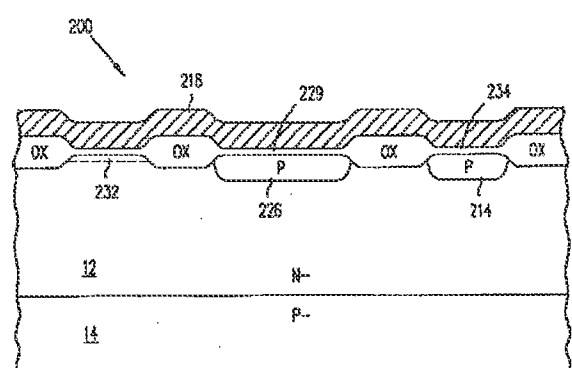
【図 1 3】



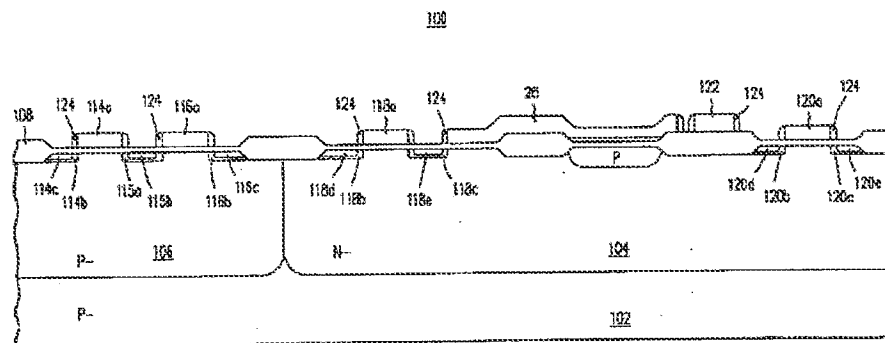
【図 1 6】



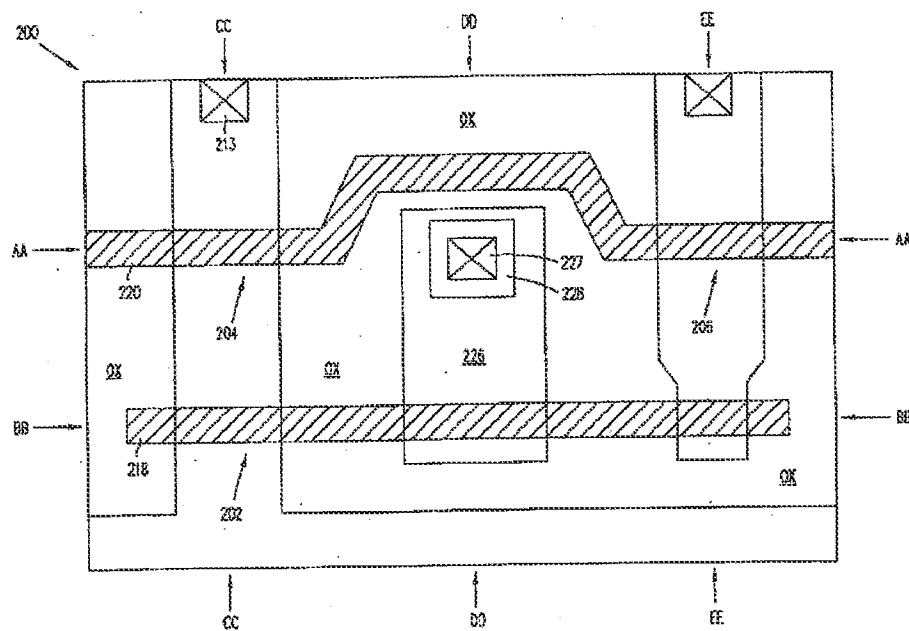
【図 1 7】



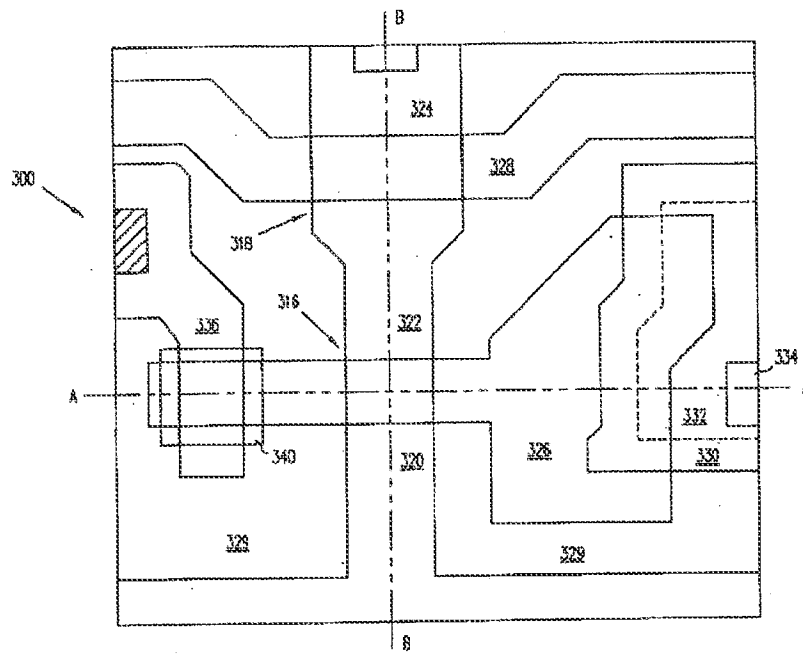
【図14】



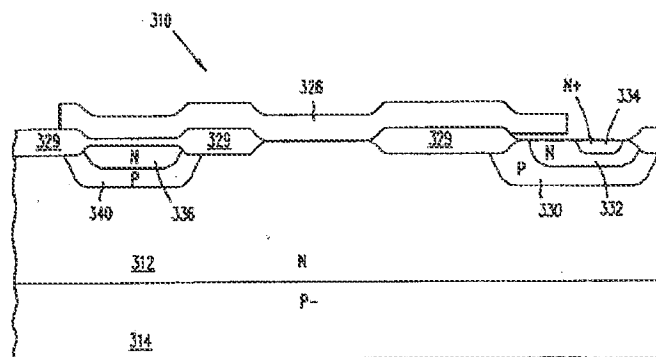
【図15】



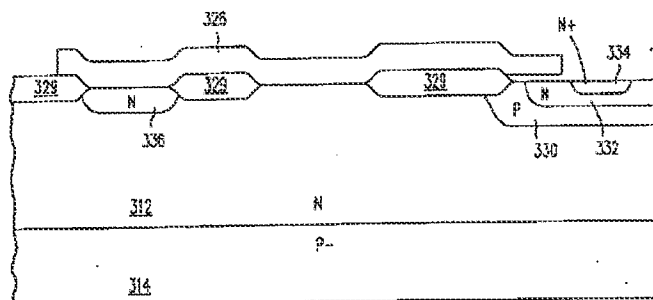
【図 2 1】



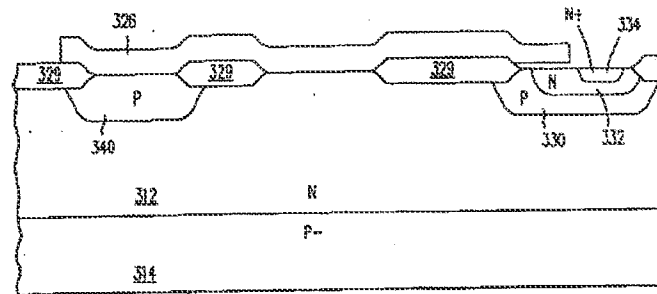
【図 2 2 A】



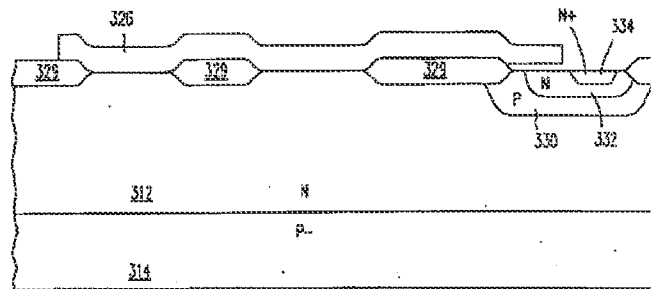
【図 2 2 B】



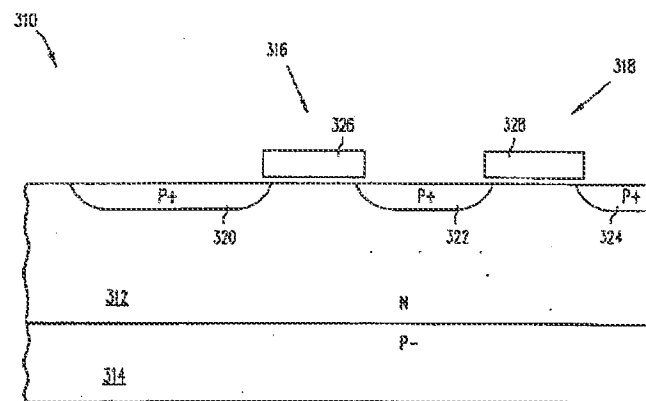
【図 2 2 C】



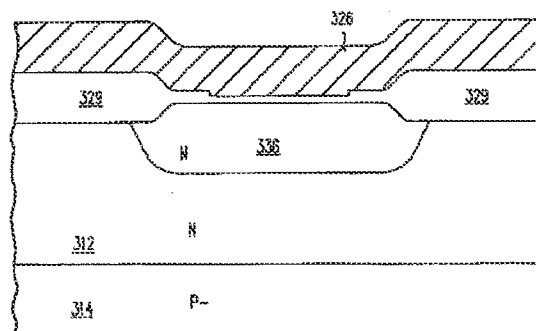
【図 2 2 D】



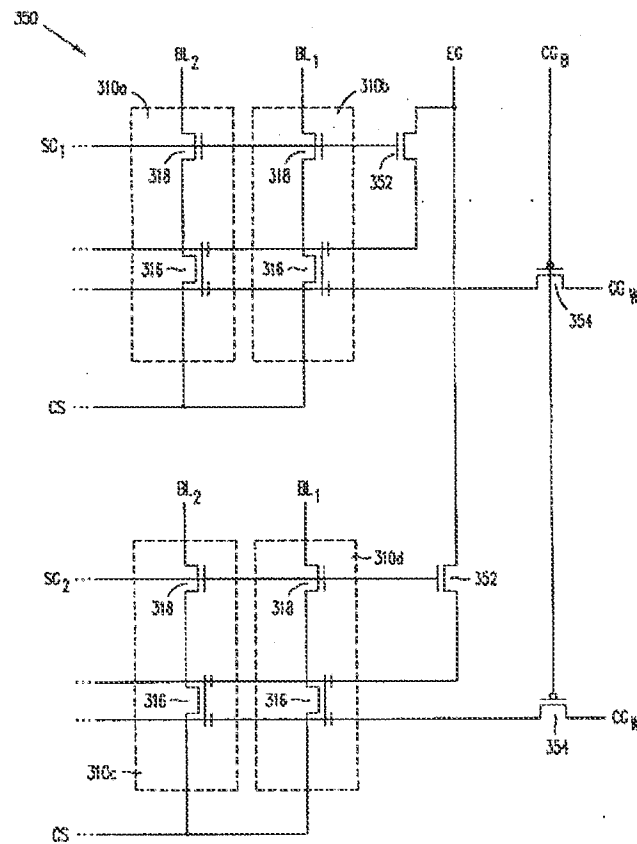
【図 2 3】



【図 2 4】



【図 25】



フロントページの続き

(56) 参考文献 特開 平 3-42875 (J P, A)
特開 平 3-42876 (J P, A)

(58) 調査した分野(Int. Cl. ⁶, D B 名)
H01L 21/8247
H01L 27/115
H01L 29/788
H01L 29/792